

Patent Abstracts of Japan

PUBLICATION NUMBER : 05218269
PUBLICATION DATE : 27-08-93

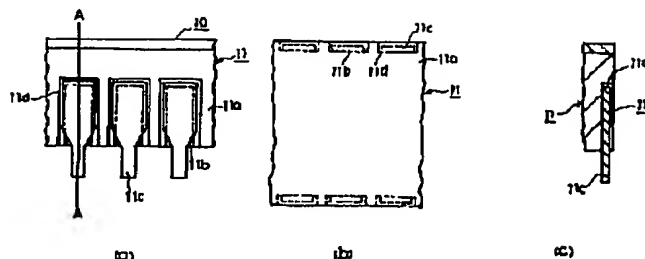
APPLICATION DATE : 03-02-92
APPLICATION NUMBER : 04017262

APPLICANT : FUJITSU LTD;

INVENTOR : MAKINO YUTAKA;

INT.CL. : H01L 23/50

TITLE : SEMICONDUCTOR DEVICE



ABSTRACT : PURPOSE: To obtain a semiconductor device which does not generate a solder bridge in the state that terminals are shorted by solder, when terminals are dipped in fused solder and the surfaces are coated with solder, regarding a semiconductor device wherein terminals are brazed to brazed pads formed on the side end surface of a ceramic package.

CONSTITUTION: In a semiconductor device of ceramic package structure constituted to contain a ceramic package 11 formed by bonding a terminal 11c to a brazed pad 11b formed on the side end surface of a base substrate 11a made of ceramic to be in close contact, a recessed part 11d which accommodates the terminal 11c of the part facing the side end surface of the base substrate 11a and is deeper than the thickness of the terminal 11c is formed on the side end surface of the base substrate 11a, and the terminal 11c is closely in contact with and bonded to the brazed pad 11b formed in the recessed part 11d.

COPYRIGHT: (C)1993,JPO&Japio

(19)日本国特許庁(JP)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平5-218269

(43)公開日 平成5年(1993)8月27日

(51)Int.Cl.⁵

H 0 1 L 23/50

識別記号

庁内整理番号

F I

技術表示箇所

L 9272-4M

E 9272-4M

審査請求 未請求 請求項の数1(全 4 頁)

(21)出願番号

特願平4-17262

(22)出願日

平成4年(1992)2月3日

(71)出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中1015番地

(72)発明者 牧野 豊

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

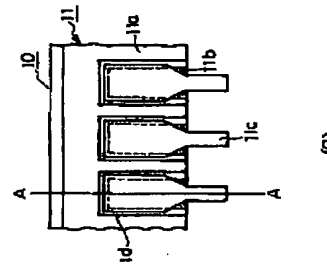
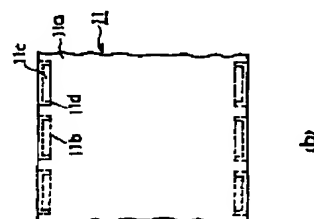
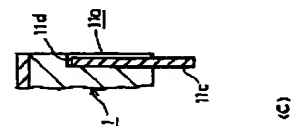
(74)代理人 弁理士 井桁 貞一

(54)【発明の名称】 半導体装置

(57)【要約】

【目的】 セラミックパッケージの側端面に形成した鍮付けパッドに端子を鍮付けした半導体装置に関し、特に溶融はんだの中に端子を浸漬してその表面をはんだコーティングした際に、端子間がはんだにより短絡された状態であるはんだブリッジを発生させない半導体装置の提供を目的とする。

【構成】 セラミック製のベース基板11aの側端面に形成した鍮付けパッド11bに端子11cを密着して接合してなるセラミックパッケージ11を含んで構成したセラミックパッケージ構造の半導体装置において、ベース基板11aの側端面に、この側端面に対面している部分の端子11cを収容し、かつこの端子の厚さより深い凹陥部11dが設けられており、この凹陥部11dに形成された鍮付けパッド11bに端子11cが密着して接合して半導体装置を構成する。



本発明の一実施例の半導体装置を説明するための図

【特許請求の範囲】

【請求項1】 セラミック製のベース基板(11a)の側端面に形成した鍍付けパッド(11b)に端子(11c)を密着して接合してなるセラミックパッケージ(11)を含んで構成したセラミックパッケージ構造の半導体装置において、ベース基板(11a)の側端面に、この側端面に対面している部分の端子(11c)を収容し、かつこの端子の厚さより深い凹陷部(11d)が設けられており、この凹陷部(11d)に形成された鍍付けパッド(11b)に端子(11c)が密着して接合されていることを特徴とする半導体装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、セラミックパッケージの側端面に形成した鍍付けパッドに端子を鍍付けした半導体装置、特に溶融はんだの中に端子を浸漬してその表面をはんだコーティングした際に、端子間がはんだにより短絡された状態であるはんだブリッジを発生させない半導体装置に関する。

【0002】

【従来の技術】次に、セラミックパッケージ、例えばアルミナ製のセラミックパッケージの側端面に形成した鍍付けパッドに端子を鍍付けして構成した従来の半導体装置について図2を参照して説明する。

【0003】図2は、従来の半導体装置を説明するための図で、同図(a)は半導体装置の側面図、同図(b)は半導体装置の正面図、同図(c)は半導体装置を溶融はんだ中にディッピングする状態を示す要部側面図、同図(d)はディッピング前の端子の拡大端面図、同図(e)及び同図(f)ははんだ付けされた端子の要部断面図である。

【0004】図2に示すように従来のセラミックパッケージ型の半導体装置20においては、そのセラミックパッケージ21は、アルミナ製のベース基板21aの平坦な側端面に通常のメタライズ技術により形成した鍍付けパッド21b、コバール(Kovar)や鉄ニッケル製で羽子板状をした端子21cの一端側の広幅部21c₁を鍍付けして構成していた。

【0005】この鍍付けパッド21bは、セラミックパッケージ21に搭載される半導体チップ(図示せず)にボンディングワイヤ等を介して接続されるから、端子21cは半導体チップに接続することはむろんである。

【0006】

【発明が解決しようとする課題】前述した従来のセラミックパッケージ型の半導体装置20の製造工程には、セラミックパッケージ21の表面側を金属カバー22で封着してこのセラミックパッケージ21に搭載された半導体チップ(図示せず)を封止する加熱工程がある。

【0007】したがって、この加熱工程により端子21cの表面が酸化されないように、その表面にはメッキ処理により金Gが被着されている(図2の(d)図参照)。このように構成されている半導体装置20を通常のはんだ付

け技術を使用してプリント基板(図示せず)等へ実装すると、半導体装置20の端子21cに被着した金Gは、はんだ付けの際にはんだ、例えば錫(Sn)鉛(Pb)系のはんだSの中に溶け込んで端子21cの母材表面に残ることは通常ない(図2の(e)図参照)。

【0008】ところで、端子21cに被着した金Gの膜厚が規定の膜厚より厚かったり、プリント基板に半導体装置20を搭載する際の端子21cと溶融はんだとの接触時間が予定の時間より短かったりすると、端子21cの表面に金Gが残ってしまうこととなる(図2の(f)図参照)。

【0009】この端子21cの表面に残ってしまった金Gは、はんだSの構成金属である錫(Sn)と脆い金属間化合物を除々に形成し、端子21cとはんだSとの密着強度を低下させることが間々あった。

【0010】したがって、このような問題の発生を回避するために、半導体装置20が完成した後に、この半導体装置20の端子21cを図2の(c)図に示す如く溶融はんだS中にディッピング(Dipping; 浸漬)し、端子21cの表面に被着している金Gを溶融はんだSの中に溶かし込むとともに、端子21cの母材表面(例えば、コバールの表面)にはんだSを被着するようにしていた。

【0011】ところが、半導体装置20の端子21cを上記のように溶融はんだSの中にディッピングすると、互いに隣接する羽子板状の端子21cが互いの側端面を近接状態で対向していることと、熱容量が大きく然も熱伝導率が大きいセラミックパッケージ21のベース基板21a付近の溶融はんだSが熱を奪われてその粘度が大きくなって流れが悪くなることのために、本来流れ落ちるべきはんだSが流れ落ちずに端子21c間に溜まってはんだブリッジBが発生することが少なくなかった。

【0012】本発明は、このような問題を解消するためになされたものであって、その目的は、溶融はんだの中に端子を浸漬して表面をはんだコーティングした際に、端子間にはんだブリッジを発生させない半導体装置を提供することにある。

【0013】

【課題を解決するための手段】前記目的は、図1に示すように、セラミック製のベース基板11aの側端面に形成した鍍付けパッド11bに端子11cを密着して接合してなるセラミックパッケージ11を含んで構成したセラミックパッケージ構造の半導体装置において、ベース基板11aの側端面に、この側端面に対面している部分の端子11cを収容し、かつこの端子の厚さより深い凹陷部11dが設けられており、この凹陷部11dに形成された鍍付けパッド11bに端子11cが密着して接合されていることを特徴とする半導体装置により達成される。

【0014】

【作用】本発明の半導体装置のセラミックパッケージ11は、そのセラミック製のベース基板11aの側端面に端子11cの厚さより深い凹陷部11dを設け、この凹陷部11d

に形成した鍍付けパッド11bに端子11cを鍍付けして構成している。

【0015】したがって、互いに隣接する端子11cであっても、その側端面（端子11cの側端面）はベース基板11aの側面部を介在させて対向することとなる。このため、本発明の半導体装置においては、前述したように端子11cを溶融はんだSの中にディピングしても互いに隣接する端子11c間に介在するベース基板11aの側端面に邪魔されることにより、隣接する端子11c間にはんだSが溜まることのないためにブリッジBも発生することはない。

【0016】

【実施例】以下、本発明の一実施例の半導体装置について図1を参照して説明する。図1は、本発明の一実施例の半導体装置を説明するための図であって、同図(a)は半導体装置の要部側面図、同図(b)は半導体装置の要部平面図、同図(c)は半導体装置のA-A線要部断面図である。

【0017】図1の(a)～(c)に示す本発明の一実施例の半導体装置10は、図2により説明した従来の半導体装置20のセラミックパッケージ21のベース基板21aの端子21cが鍍付けされている側端面の形状を変更して構成したものである。

【0018】すなわち、半導体装置10のパッケージ11は、セラミック、例えば、アルミナ製のベース基板11aの側端面に、この側端面に対面している部分の端子11cを収容し、かつこの端子の厚さ（例えば、 $200\mu\text{m}$ ）より深い（例えば、深さが $300\mu\text{m}$ ）の凹陷部11dを設け、この凹陷部11dに形成した鍍付けパッド11bに端子11cを鍍付けして構成している。

【0019】なお、この端子11cは、従来の半導体装置20のセラミックパッケージ21を構成している端子21cと同形且つ同一材料で構成されている。また、鍍付けパッド11bは、粉末タングステンを主材とするタングステン*

*ペーストを通常のスクリーン印刷技術によりベース基板11aの側端面に形成した凹陷部11dに印刷・焼成した後に、タングステン膜上にニッケルメッキを施して形成したものである。

【0020】したがって、本発明の一実施例の半導体装置においては、互いに隣接する端子11cであっても、その側端面（端子11cの側端面）はベース基板11aの側面部を介在させて対向することとなる。

【0021】このため、図2の(c)図に示す方法と同様に、端子11cを溶融はんだSの中にディピングしても互いに隣接する端子11c間に介在するベース基板11aの側端面に邪魔されることにより、隣接する端子11c間にはんだSが溜まることのないためにブリッジBも発生することはない。

【0022】

【発明の効果】以上説明したように本発明は、溶融はんだの中に端子を浸漬して表面をはんだコーティングした際に、端子間にはんだブリッジを発生させない半導体装置の提供を可能にする。

【図面の簡単な説明】

【図1】は、本発明の一実施例の半導体装置を説明するための図、

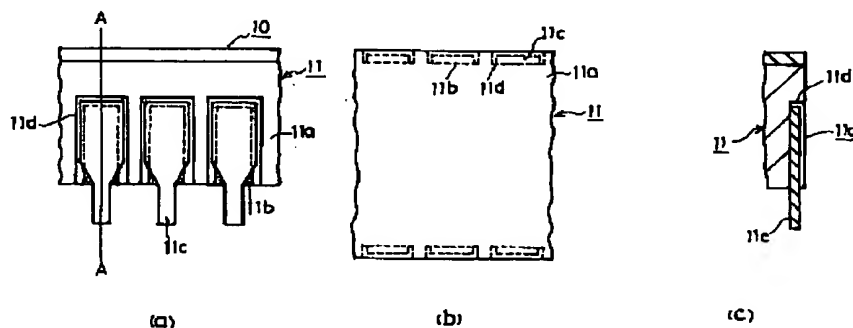
【図2】は、従来の半導体装置を説明するための図である。

【符号の説明】

10, 20 は、半導体装置、
11, 21 は、セラミックパッケージ、
11a, 21a は、ベース基板、
11b, 21b は、鍍付けパッド、
11c, 21c は、端子、
21c₁ は、広幅部、
11d は、凹陷部、
22は、金属カバーをそれぞれ示す。

【図1】

本発明の一実施例の半導体装置を説明するための図



【図 2】

